Seat No.: ________ Enrolment No.______________

GUJARAT TECHNOLOGICAL UNIVERSITY

DIPLOMA ENGINEERING – SEMESTER – 6(NEW) • EXAMINATION – SUMMER 2018

Subject Code: 3361104 **Date: 03-May-2018**

Subject Name: VLSI

Time: 10:30 AM TO 01:00 PM **Total Marks: 70**

Instructions:

1. **Attempt all questions.**
2. **Make Suitable assumptions wherever necessary.**
3. **Figures to the right indicate full marks.**
4. **Use of programmable & Communication aids are strictly prohibited.**
5. **Use of only simple calculator is permitted in Mathematics.**
6. **English version is authentic.**

Q.1 Answer any seven out of ten. દશમાંથી કોઇપણ સાતના જવાબ આપો. **14**

1. Differentiate nMOS and pMOS transistor.
૧. nMOS અને pMOS ટ્રાન્ઝિસ્ટર વચ્ચેનો તફાવત આપો.
2. Draw current-voltage characteristics of n-channel MOSFET transistor.
૨. N ચેનલ MOSFET ટ્રાન્ઝિસ્ટરની current-voltage લાક્ષણિકતાઓ દોરો.
3. Give full form of MOSFET, CPLD, VLSI, CMOS.
૩. MOSFET, CPLD, VLSI, CMOSના ફુલ ફોર્મ આપો.
4. Draw CMOS SR Latch using two input NAND gate.
૪. CMOS SR લેચ બે ઈનપુટ NAND ગેટની મદદથી દોરો.
5. Write the VHDL Code for OR gate.
૫. OR ગેટ □□□□માટે VHDL કોડ લખો.
6. Define terms. (1) pinch-off point (2) Threshold Voltage
૬. વ્યાખ્યા આપો. (1) pinch-off પોઈન્ટ (2) Threshold વોલ્ટેજ
7. Write the VHDL Code for NOT gate.
૭. NOT ગેટ □□□□માટે VHDL કોડ લખો.
8. Difference between Combinational and Sequential Circuit.
૮. Combinational અને Sequential સરકિટ વચ્ચેનો તફાવત આપો.
9. List the material parameters which effects Threshold Voltage (Vth).
૯. મટિરિયલ પેરામીટર જે Threshold વોલ્ટેજ(Vth)ને અસર કરે તે આપો.
10. List advantages of CMOS inverter.
૧૦. CMOS ઈન્વર્ટરના ફાયદા આપો.

Q.2 (a) Explain Gate Array based Design Style Of VLSI. **03**
પ્રશ્ન. ૨ (અ) VLSIની ગેટ એરે બેજ ડીઝાઇન સ્ટાઈલ સમજાવો. ૦૩

OR

(a) Explain Full custom type Design Style Of VLSI. **03**
(અ) VLSIની ફુલ કસ્ટમ ટાઇપ ડીઝાઇન સ્ટાઈલ સમજાવો. ૦૩
(b) Explain Behavioral model with example in VHDL. **03**
(બ) VHDLમાં Behavioral મોડેલ ઉદાહરણ સાથે સમજાવો. ૦૩

OR

GTUQuestionPapers.com

	(b)	Explain Structural model with example in VHDL.	**03**
	(બ)	VHDLમાં Structural મોડેલ ઉદાહરણ સાથે સમજાવો.	03
	(c)	Write VHDL code for 4 bit Parallel adder.	**04**
	(ક)	4 બીટ પેરેલલ એડરનો VHDL કોડ લખો.	0૪
		OR	
	(c)	Write VHDL code for Parity Checker.	**04**
	(ક)	Parity Checkerનો VHDL કોડ લખો.	0૪
	(d)	Write VHDL code for Encoder.	**04**
	(ડ)	Encoderનો VHDL કોડ લખો.	0૪
		OR	
	(d)	Write VHDL code for J-K Flip-Flop.	**04**
	(ડ)	J-K Flip-Flopનો VHDL કોડ લખો.	0૪
Q.3	(a)	Write the VHDL Code for EX-OR gate.	**03**
પ્રશ્ન. 3	(અ)	EX-OR ગેટનો VHDL કોડ લખો.	03
		OR	
	(a)	Write the VHDL Code for NOR gate.	**03**
	(અ)	NOR ગેટનો VHDL કોડ લખો.	03
	(b)	Draw and explain generalized NOR gate multiple input structure with Depletion NMOS load.	**03**
	(બ)	ડીપ્લેશન NMOS લોડ સાથે મલ્ટીપલ ઈનપુટ structure NOR ગેટ દોરો અને સમજાવો.	03
		OR	
	(b)	Draw and explain generalized NAND multiple input structure with Depletion NMOS load.	**03**
	(બ)	ડીપ્લેશન NMOS લોડ સાથે મલ્ટીપલ ઈનપુટ structure NAND ગેટ દોરો અને સમજાવો.	03
	(c)	Write VHDL code for Parallel input- parallel output shift register.	**04**
	(ક)	પેરેલલ ઈનપુટ પેરેલલ આઉટપુટ shift register VHDL કોડ લખો.	0૪
		OR	
	(c)	Write VHDL code for 1 : 8 De-Multiplexer.	**04**
	(ક)	1 : 8 De-Multiplexerનો VHDL કોડ લખો.	0૪
	(d)	Draw and Explain Clocked CMOS SR Latch circuit on NAND gate.	**04**
	(ડ)	NAND ગેટ Clocked CMOS SR લેચ સરકિટ દોરો અને સમજાવો.	0૪
		OR	
	(d)	Draw and Explain Clocked CMOS D Latch circuit on NOR gate.	**04**
	(ડ)	NOR ગેટ Clocked CMOS D લેચ સરકિટ દોરો અને સમજાવો.	0૪
Q.4	(a)	Implement CMOS circuit of EX-NOR function.	**03**
પ્રશ્ન. ૪	(અ)	EX-NOR ફંકશનની CMOS સરકિટનું અમલીકરણ કરો.	03
		OR	
	(a)	Draw and Explain generalized circuit of CMOS.	**03**
	(અ)	CMOS generalized સરકિટ દોરો અને સમજાવો.	03
	(b)	Draw and explain energy band diagram of MOS System.	**04**
	(બ)	MOS સિસ્ટમનો energy બેન્ડ ડાયાગ્રામ દોરો અને સમજાવો.	0૪

GTUQuestionPapers.com

OR

(b) Implement the logic function C = ((PQ +RS)T)’ using CMOS Logic. **04**

(બ) CMOS લોજીકની મદદથી લોજીક ફન્કશન C = ((PQ +RS)T)’ અમલીકરણ કરો. ૦૪

(c) Draw and Explain MOS system under external bias. **07**

(ક) MOS સિસ્ટમ એક્ષટર્નલ બાયશ હેઠળ દોરો અને સમજાવો. ૦૭

Q.5 (a) Explain Depletion load nMOS Inverter. **04**

પ્રશ્ન. ૫ (અ) ડીપ્લેશન લોડ NMOS ઈન્વર્ટર સમજાવો. ૦૪

(b) Draw and Explain circuit of N MOS Inverter. **04**

(બ) N MOS ઈન્વર્ટર સરકિટ દોરો અને સમજાવો. ૦૪

(c) Implement the logic function C = (AB +CD+EF)’ using NMOS Load. **03**

(ક) NMOS લોડની મદદથી લોજીક ફન્કશન C = (AB +CD+EF)’ અમલીકરણ કરો. ૦૩

(d) Explain Signal and Variable with example. **03**

(ડ) સિગ્નલ અને વેરિયેબલ ઉદાહરણ સાથે સમજાવો. ૦૩

****

GTUQuestionPapers.com