Seat No.: ________ Enrolment No.______________

GUJARAT TECHNOLOGICAL UNIVERSITY

DIPLOMA ENGINEERING – SEMESTER – VI EXAMINATION –WINTER - 2018

Subject Code:3361104 **Date: 01-12-2018**

Subject Name:Vlsi

Time:02:30 PM TO 05:00 PM **Total Marks: 70**

Instructions:

1. **Attempt all questions.**
2. **Make Suitable assumptions wherever necessary.**
3. **Figures to the right indicate full marks.**
4. **Use of programmable & Communication aids are strictly prohibited.**
5. **Use of only simple calculator is permitted in Mathematics.**
6. **English version is authentic.**

Q.1 Answer any seven out of ten. દશમાંથી કોઇપણ સાતના જવાબ આપો. **14**

1. List VLSI design style.
૧. VLSI ડીઝાઈન સ્ટાઇલનું લીસ્ટ આપો.
2. List out the different MOSFET capacitances.
૨. વિવિધ મોસ્ફેટ કેપેસીટન્સ જણાવો.
3. Define Threshold Voltage (VT) in MOSFET.
૩. MOSFET નાથ્રેસોલ્ડ વોલ્ટેજ (VT) વ્યાખ્યા આપો.
4. Give the full form of MOSFET, CPLD, VLSI, and CMOS.
૪. MOSFET, CPLD, VLSI, CMOSના ફુલ ફોર્મ આપો.
5. Define VOH, VOL, VIL, and VIH
૫. VOH, VOL, VIL, and VIH ની વ્યાખ્યા આપો
6. Draw a circuit of Enhancement load N MOS Inverter.
૬. એન્હાસ્મેન્ત લોડ N MOS ઇન્વર્ટરની સરકિટ દોરો.
7. Write an entity for half adder circuit in VHDL.
૭. હાફ એડર સરકિટ માટે entity લખો.
8. List advantages of CMOS inverter.
૮. CMOS ઈનવર્ટરના ફાયદા આપો.
9. Explain ENTITY in VHDL.
૯. VHDL માં ENTITY સમજાવો.
10. Write the VHDL Code for NOT gate.
૧૦. NOT ગેટ માટે VHDL કોડ લખો.

Q.2 (a) Implement the logic function C = (AB +PQ+EF)’ using NMOS Load. **03**
પ્રશ્ન. ૨ (અ) NMOS લોડની મદદથી લોજીક ફન્કશનનું C = (AB +PQ+EF)’ અમલીકરણ કરો. ૦૩

OR

(a) Draw and explain the generalized NAND multiple input structure with Depletion NMOS load. **03**
(અ) ડીપ્લેશન NMOS લોડ સાથે મલ્ટીપલ ઈનપુટ structure NAND ગેટ દોરો અને સમજાવો. ૦૩
(b) Explain OAI logic with suitable example. **03**

GTUQuestionPapers.com

	(બ)	યોગ્ય ઉદાહરણ સાથે OAI લોજીક સમજાવો.	03
		OR	
	(b)	Write short note on Standard cell based design.	**03**
	(બ)	સ્ટાન્ડર્ડ સેલ બેઝડ ડિઝાઇન પર ટૂંકનોધ લખો	03
	(c)	Draw and Explain Clocked CMOS SR Latch circuit on NAND gate.	**04**
	(ક)	NAND ગેટ Clocked CMOS SR લેચ સરકીટ દોરો અને સમજાવો.	૦૪
		OR	
	(c)	Describe cascading of CMOS inverter.	**04**
	(ક)	CMOS ઇન્વર્ટરનું કાસકેડીગ સમજાવો.	૦૪
	(d)	List various types of VHDL programming methodologies and Write VHDL CODE for two input XOR gate.	**04**
	(ડ)	VHDL પ્રોગ્રામિંગની વિવિધ મેથડના પ્રકારોના નામ આપો અને બે ઇનપૂટવાળા XOR ગેટનો VHDL કોડ લખો.	૦૪
		OR	
	(d)	Write VHDL code for 1:4 DeMultiplexer.	**04**
	(ડ)	1:4 DeMultiplexer નો VHDL કોડ લખો.	૦૪
Q.3	(a)	Implement Boolean function ((A·B + C·D)·EF) with CMOS gates.	**03**
પ્રશ્ન. 3	(અ)	CMOS ગેટ વડે બૂલિયન ફંકશન ((A·B + C·D)·EF) માટે સરકિટ બનાવો.	03
		OR	
	(a)	Explain Noise Immunity and Noise Margin.	**03**
	(અ)	નોઈસ ઇમ્યુનીટી અને નોઈસ માર્જીન સમજાવો.	03
	(b)	Explain Structural model with example in VHDL.	**03**
	(બ)	VHDLમાં Structural મોડેલ ઉદાહરણ સાથે સમજાવો.	03
		OR	
	(b)	Write VHDL CODE for two inputs AND gate.	**03**
	(બ)	બે ઇનપૂટવાળા AND ગેટનો VHDL કોડ લખો.	03
	(c)	Draw and Explain Y chart design flow in brief.	**04**
	(ક)	**Y** ચાર્ટ ડીઝાઇન ફ્લો દોરો અને વિસ્તારથી સમજાઓ.	૦૪
		OR	
	(c)	Explain enhancement load nMOS inverter with its disadvantages.	**04**
	(ક)	એન્હાસમેંન્ટ લોડ nMOS ઈન્વર્ટર તેના ગેરફાયદા સાથે સમજાવો.	૦૪
	(d)	Write VHDL code for Encoder.	**04**
	(ડ)	Encoderનો VHDL કોડ લખો.	૦૪
		OR	
	(d)	Write VHDL code for Parity Generator.	**04**
	(ડ)	Parity Generatorનો VHDL કોડ લખો.	૦૪
Q.4	(a)	Define regularity, modularity and locality.	**03**
પ્રશ્ન. ૪	(અ)	રેગ્યુલારીટી , મોડયુલારીટી અને લોકાલીટી ની વ્યાખ્યા આપો.	03
		OR	
	(a)	Explain MOS system under external bias.	**03**
	(અ)	MOS system બાહ્ય બાયસમાં સમજાવો.	03
	(b)	Draw CMOS inverter and explain its operation with VTC.	**04**

GTUQuestionPapers.com

(બ) CMOS ઇન્વટર દોરી તેનું ઓપરેશન VTC સાથે સમજાવો. ૦૪

OR

(b) Implement and explain CMOS circuit of EX-NOR function. **04**

(બ) EX-NOR ફંક્શનની CMOS સરકીટનું અમલીકરણ કરો અને સમજાવો. ૦૪

(c) Explain FPGA structure in detail with its advantages, disadvantages and application. **07**

(ક) FPGA સ્ટ્રક્ચર પર વિસ્તારથી લખો અને તેના ફાયદા, ગેરફાયદા અને ઉપયોગીતા જણાવો. ૦૭

Q.5 (a) Implement logic function Z = (A (D + E) + C)’ using CMOS. **04**

પ્રશ્ન. ૫ (અ) લોજીક ફંક્શન Z = (A (D + E) + C)’ CMOSની મદદથી અમલમાં મુકો. ૦૪

(b) Write VHDL code for 8:1 Multiplexer. **04**

(બ) 8:1 Multiplexerનો VHDL કોડ લખો. ૦૪

(c) Short note : Full Custom Design. **03**

(ક) ટૂંકનોધ લખો :ફૂલ કસ્ટમ ડિઝાઇન. ૦૩

(d) Write down VHDL code for full adder as A, B, C as input and SUM, CARRY as output. **03**

(ડ) ફૂલ એડરનો VHDL કોડ લખો જેમાં A, B, C ઈનપૂટ અને SUM, CARRY આઉટપૂટ તરીકે લો. ૦૩

****

GTUQuestionPapers.com